



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月30日
Date of Application:

出願番号 特願2003-021381
Application Number:

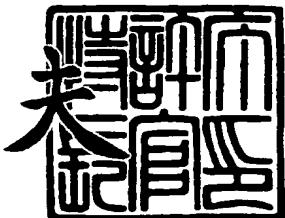
[ST. 10/C] : [JP2003-021381]

出願人 富士写真フィルム株式会社
Applicant(s):

2003年 9月 1日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 02151
【提出日】 平成15年 1月30日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 12/00
【発明の名称】 メモリ装置
【発明者】
【住所又は居所】 埼玉県朝霞市泉水三丁目11番46号 富士写真フィルム株式会社内
【氏名】 船本 憲司
【特許出願人】
【識別番号】 000005201
【氏名又は名称】 富士写真フィルム株式会社
【代理人】
【識別番号】 100080322
【弁理士】
【氏名又は名称】 牛久 健司
【選任した代理人】
【識別番号】 100104651
【弁理士】
【氏名又は名称】 井上 正
【連絡先】 03-3593-2401
【選任した代理人】
【識別番号】 100114786
【弁理士】
【氏名又は名称】 高城 貞晶
【手数料の表示】
【予納台帳番号】 006932
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9800030
【包括委任状番号】 9800031
【包括委任状番号】 0013256
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置

【特許請求の範囲】

【請求項1】 データ・メモリ用データ・バスを介してデータが入出力するデータ・メモリ、および

上記データ・メモリ用データ・バスのバス幅と同じバス幅をもち、上記データ・メモリ用データ・バスと電気的に接続される第1のデータ・バスを介して、上記データ・メモリとの間でデータの入出力を行い、かつ上記データ・メモリ用データ・バスのバス幅よりも少ないバス幅をもつ第2のデータ・バスを介してデータ処理回路との間でデータの入出力を行う複数のバッファ回路、

を備えたメモリ装置。

【請求項2】 上記複数のバッファ回路と上記データ・メモリとの間に接続され、上記複数のバッファ回路の中のいずれか1つのバッファ回路と上記データ・メモリとの間のデータの入出力を許可するセレクタをさらに備えた請求項1に記載のメモリ装置。

【請求項3】 上記第2のデータ・バスのバス幅が、上記データ・メモリ用のバス幅の上記複数分の1である、請求項1に記載のメモリ装置。

【請求項4】 上記データ・メモリおよび上記複数のバッファ回路に入出力するデータが画像データであり、共通の時間帯に異なる駒の画像を表わす画像データが異なるバッファ回路に入出力するように上記複数のバッファ回路を制御する調停回路をさらに備えた請求項1に記載のメモリ装置。

【発明の詳細な説明】

【0001】

【技術分野】

この発明は、メモリ装置に関する。

【0002】

【発明の背景】

メモリへのデータの書き込み時間およびメモリからのデータの読み出し時間を

短縮するためには、メモリに接続されるデータ・バスのバス幅を広げれば良い。しかしながら、バス幅を広げると配線が複雑となってしまうことがある。

【0003】

メモリへのアクセスを効率良くすることにより、データの処理時間を短縮するものもある（例えば、特許文献1参照）。

【0004】

【特許文献1】

特願平10-53083号公報

【0005】

しかしながら、その処理が比較的煩雑となってしまう。

【0006】

【発明の開示】

この発明は、データの処理時間を短縮することを目的とする。

【0007】

この発明によるメモリ装置は、データ・メモリ用データ・バスを介してデータが入出力するデータ・メモリ、および上記データ・メモリ用データ・バスのバス幅と同じバス幅をもち、上記データ・メモリ用データ・バスと電気的に接続される第1のデータ・バスを介して、上記データ・メモリとの間でデータの入出力をを行い、かつ上記データ・メモリ用データ・バスのバス幅よりも少ないバス幅をもつ第2のデータ・バスを介してデータ処理回路との間でデータの入出力を複数のバッファ回路を備えていることを特徴とする。

【0008】

この発明によると、データ・メモリには、複数のバッファ回路が接続されている。複数のバッファ回路とデータ処理回路との間でデータの入出力が行われることにより、複数の処理を並行して行うことができる。迅速に複数の処理を終了させることができる。

【0009】

複数のバッファ回路とデータ・メモリとの間は、データ・メモリ用データ・バス（第1のデータ・バスと共通でもよい）によって接続されている。データ・メ

モリ用データ・バスのバス幅によって規定される速度によってデータの入出力を行うことができるようになる。複数のバッファ回路とデータ処理回路との間は、データ・メモリ用データ・バスのバス幅よりも狭いバス幅をもつ第2のデータ・バスを用いてデータの入出力が行われるので、配線が比較的簡素となる。

【0010】

上記複数のバッファ回路と上記データ・メモリとの間に接続され、上記複数のバッファ回路の中のいずれか1つのバッファ回路と上記データ・メモリとの間のデータの入出力を許可するセレクタをさらに備えるようにしてもよい。

【0011】

また、上記第2のデータ・バスのバス幅は、たとえば、上記データ・メモリ用のバス幅の上記複数分の1である。

【0012】

上記データ・メモリおよび上記複数のバッファ回路に入出力するデータが画像データの場合には、共通の時間帯に異なる駒の画像を表わす画像データが異なるバッファ回路に入出力するように上記複数のバッファ回路を制御する調停回路をさらに設けると良い。異なる画像についての画像データ処理を同時にい行うことができるようになる。

【0013】

【実施例の説明】

図1は、この発明の実施例を示すもので、ディジタル・スチル・カメラの電気的構成の一部を示すブロック図である。

【0014】

ディジタル・スチル・カメラには、画像データを一時的に記憶する第1のDRAM20と第2のDRAM30とが含まれている。第1のDRAM20には、セレクタ21を介して、それぞれが画像データを一時的に記憶する第1のバッファ回路A1、第2のバッファ回路A2および第3のバッファ回路A3がバス（データ・メモリ用データ・バス、第1のデータ・バス）によって接続されている。これらの第1～第3のバッファ回路A1～A3には、バス幅32ビットのバスを介して第1の調停回路22が接続されている。第1の調停回路22は、第1～第3のバッファ回路

A1～A3のうちどのバッファ回路の画像データの読み書きをするかを決定するものである。同様に、第2のDRAM30には、セレクタ31を介して、それぞれが画像データを一時的に記憶する第1のバッファ回路B1、第2のバッファ回路B2および第3のバッファ回路B3がバス接続されている。第1～第3のバッファ回路B1～B3には、第2の調停回路32がバス接続されている。第2の調停回路32も第1の調停回路22と同様に、第1～第3のバッファ回路B1～B3のうち、どのバッファ回路に画像データを読み書きするかを決定するものである。セレクタ21および31には、CPU（図示略）が接続されている。CPUによってセレクタ21および31が制御される。

【0015】

第1のDRAM20と第1のセレクタ21との間に接続されているバスのバス幅は128ビットであり、同様に、第1のセレクタ21と第1のバッファ回路A1、第2のバッファ回路A2および第3のバッファ回路A3との間に接続されているバスのバス幅も128ビットである。したがって、第1のDRAM20と第1のバッファ回路A1、第2のバッファ回路A2および第3のバッファ回路A3との間の画像データの転送速度は、128ビットのバス幅にもとづくものとなる。

【0016】

これに対して、第1の調停回路22と第1～第3のバッファ回路A1～A3との間に接続されているバスのバス（第2のデータ・バス）幅は32ビットである。したがって、第1の調停回路22と第1～第3のバッファ回路A1～A3との間の画像データの転送速度は、32ビットのバス幅にもとづくものとなる。

【0017】

第1のDRAM (dynamic random access memory) 20と第1～第3のバッファ回路A1～A3との間のバスは、128ビットのバス幅をもっており、第1～第3のバッファ回路A1～A3と第1の調停回路22との間のバスは、32ビットのバス幅をもっているから、第1のDRAM20への画像データの読み書き（すなわち、第1のDRAM20から読み出された画像データの第1～第3のバッファ回路A1～A3への書き込みおよび第1～第3のバッファ回路A1～A3から第1のDRAM20への書き込み）に必要な時間は、第1の調停回路22から第1～第3のバッ

ファ回路A1～A3への書き込みおよび第1～第3のバッファ回路A1～A3から第1への調停回路22への読み出しに必要な時間の1／4となる。

【0018】

同様に、第2のDRAM30と第1～第3のバッファ回路B1～B3との間の画像データの読み書きに必要な時間は、第2の調停回路32と第1～第3のバッファB1～B3との間の画像データの読み書きに必要な時間に比べて1／4となる。

【0019】

デジタル・スチル・カメラには、第1のDRAM20用のバス、第2のDRAM30用のバスおよび外部バス（それぞれ32ビットのバス幅）が含まれている。第1のDRAM20用のバスは、第1の調停回路22とバス接続されている。第2のDRAM30用のバスは、第2の調停回路32とバス接続されている。外部バスには、第3のセレクタ41が接続されている。この第3のセレクタ41には、SDRAM (synchronous dynamic random access memory) コントローラ42およびIO (input output) コントローラ44が接続されている。SDRAMコントローラ42には、画像データを一時的に記憶するDRAM43が接続され、IOコントローラ44には、プログラム等の所定のデータが格納されているROM45が接続されている。

【0020】

デジタル・スチル・カメラには、第1～第8のアドレス生成回路11～18が含まれている。これらのアドレス回路11～18は、入力する画像データの格納先のアドレスを生成するものである。第1、第2、第5および第6のアドレス回路11, 12, 15および16は、第1のDRAM20用バスに接続されている。第3、第4、第7および第8のアドレス回路13, 14, 17および18は、第2のDRAM用バスに接続されている。

【0021】

デジタル・スチル・カメラには、CCD（図示略）から出力された画像データを入力するCCDインターフェイス1が含まれている。このCCDインターフェイス1には、第1のアドレス生成回路11が接続されている。したがって、CCDから出力された画像データを第1のDRAM用バスを介して第1のDRAM20に書き込むことができる。

【0022】

第2のアドレス生成回路12から出力された画像データは、輝度データYおよび色差データCを生成する信号処理回路（データ処理回路）2に入力する。信号処理回路2において生成された輝度データYおよび色差データCは、第3のアドレス生成回路13を介して第2のDRAM用バスに与えられる。

【0023】

第4のアドレス生成回路14から出力された画像データは、画像データによって表される画像の大きさをリサイズする拡大／縮小回路（データ処理回路）3に入力する。拡大／縮小回路3においてリサイズされた画像データは、第5のアドレス生成回路15を介して第1のDRAM用バスに与えられる。

【0024】

第6のアドレス生成回路16から出力された画像データは、圧縮／伸張回路（データ処理回路）4において圧縮または伸張される。圧縮または伸張された画像データは、第2のDRAM用バスに与えられる。

【0025】

第8のアドレス生成回路18から出力された画像データは、カード制御回路（データ処理回路）5に与えられる。カード制御回路5によって、入力した画像データがメモリ・カード6に書き込まれる。

【0026】

第1のDRAM20と第1～第3のバッファ回路A1～A3との間のバスおよび第2のDRAM30と第1～第3のバッファ回路B1～B3との間のバスは、128ビットのバス幅をもち、そのほかのバスは、32ビットのバス幅をもっている。128ビットの比較的広いバス幅をもつバスの割合が少ないので、バス接続などバスの取り扱いが比較的容易となる。バス幅の狭いバスを用いても後述するように、信号処理、拡大／縮小処理、圧縮／伸張処理などの各種処理を同時にを行うことができるので、処理時間が長くなってしまうことを未然に防止できる。

【0027】

図2は、この実施例によるデジタル・スチル・カメラにおける画像データの流れに着目した電気的構成を示すブロック図である。この図において、図1に示

すものと同一物については同一符号を付す。

【0028】

上述したように、CCDから出力された画像データは、CCDインターフェイス1に入力する。CCDインターフェイス1から出力された画像データは、第1～第3のバッファ回路A1～A3のうち画像データの書き込みが可能な（空き領域となっている）いずれかのバッファ回路に一時的に記憶される。画像データは、第1～第3のバッファ回路A1～A3のいずれかのバッファ回路から読み出され、第1のDRAM20に書き込まれる（CCDデータという）。CCDデータは、第1のDRAM20から読み出され、第1～第3のバッファ回路A1～A3のいずれかのバッファ回路に再び書き込まれる。

【0029】

いずれかのバッファ回路に再び書き込まれた画像データは信号処理回路2に与えられ、輝度データYおよび色差データC（YCデータという）が生成される。生成されたYCデータは、第1～第3のバッファ回路B1～B3のうち、いずれかのバッファ回路に書き込まれる。バッファ回路に書き込まれたYCデータが読み出され、第2のDRAM30に書き込まれる。

【0030】

以下、同様にして、YCデータの第1～第3のバッファ回路B1～B3のうちいずれかのバッファ回路への書き込みおよび読み出しが行われ、拡大／縮小回路3においてリサイズ処理が行われ、リサイズ・データが得られる。リサイズ・データは、第1～第3のバッファ回路A1～A3のうちのいずれかのバッファ回路への書き込みおよび読み出しが行われ、第1のDRAM20に書き込まれる。

【0031】

リサイズ・データの第1～第3のバッファ回路A1～A3のうちいずれかのバッファ回路への書き込みおよび読み出しが行われ、圧縮／伸張回路4に入力する。圧縮／伸張回路4においてデータ圧縮処理が行われ、圧縮データが得られる。圧縮データは、第1～第3のバッファ回路B1～B3のうち、いずれかのバッファ回路への書き込みおよび読み出しが行われ、第2のDRAM30に書き込まれる。圧縮データは、第2のDRAM30から読み出され、第1～第3のバッファ回路

B1～B3のうち、いずれかのバッファ回路への書き込みおよび読み出しが行われ、カード制御回路5に与えられる。カード制御回路5によって、圧縮データがメモリ・カード6に記録される。

【0032】

上述した処理は、異なるデータについて並行して行われる。バス幅が狭くても比較的迅速にすべての処理を終了することができる。

【0033】

図3は、画像データの流れを示すタイム・チャートである。タイム・チャートは、多数の駒の画像を表す画像データのうち、一部の画像データがメモリ・カードに記録される部分を示している（時刻t11～t54の間）。またバッファ回路A1～A3、B1～B3アクセス、DRAM20, 30アクセスのうち、画像データの書き込みを示すものについてはハッチングが施されている。

【0034】

一駒の画像を表す画像データがCCDから出力されるが、この実施例においては、一駒の画像を表す画像データがCCDインターフェイス1において3つの画像データに分割される。分割された画像データごとに転送させられる。以下、分割された画像データは、丸で囲まれた算用数字とアルファベットとからなる符号によって表される。算用数字は、画像の駒番号を示し、添え字のアルファベットは、3分割された画像データの識別符号を示している。たとえば、画像データ①aであれば、1駒目の画像を表す画像データのうち3分割された画像データの最初の画像データを示している。画像データ⑤cであれば、5駒目の画像を表す画像データのうち3分割された画像データの最後の画像データを示している。

【0035】

5駒目の画像データ⑤aがCCDから出力され（すでに1駒目から4駒目の画像データはCCDから出力されている）、CCDインターフェイス1に入力される。画像データ⑤aが時刻t11においてCCDインターフェイス1から出力され始め、第1のDRAM20にセレクタ21を介して接続されている第1のバッファ回路A1～A3のうちのいずれかのバッファ回路に書き込まれる。この実施例においては画像データ⑤aは、時刻t11からt14までの間に第1のバッファ回路A1に書

き込まれる。このとき、第1のバッファ回路A1以外の第2のバッファ回路A2および第3のバッファ回路A3には、以前に撮影により得られた画像データ④aおよび②aが書き込まれている。空き領域である第1のバッファA1に画像データ⑤aが書き込まれることとなる。

【0036】

第1のバッファ回路A1に書き込まれた画像データ⑤aは、時刻t14から読み出され始め、時刻t15までの間に第1のDRAM20に書き込まれる（CCDデータ）。上述したように、CCDインターフェイス1から転送されてくる画像データが通るバスのバス幅は、32ビットであるが、第1～第3のバッファ回路A1～A3と第1のDRAM20との間のバスのバス幅は128ビットであるので、第1のバッファ回路A1への画像データ⑤aの書き込み時間（t11からt14までの時間）よりも読み出し時間（t14からt15までの時間）の方が短くなる。

【0037】

同様にして、時刻t17となると5駒目の次の画像データ⑤bもCCDインターフェイス1から出力され、時刻t17の時点で空き領域である第3のバッファ回路A3に書き込まれる。時刻t20となると画像データ⑤bが第1のDRAM20に書き込まれ始める。画像データ⑤bが第1のDRAM20に書き込まれるときには、第1のDRAM20は空き領域となっているのはいうまでもない。5駒目のさらに次の画像データ5cも同様である。

【0038】

時刻t33となると、第1のDRAM20に書き込まれている5駒目の画像データ⑤aが128ビットのビット幅にもとづく速度で読み出され、時刻t36までの間に第2のバッファ回路A2に書き込まれる。時刻t34となると、第2のバッファ回路A2に書き込まれた画像データ5aが読み出され始め、信号処理回路2に入力する。時刻t34からt37までの間に信号処理回路2において上述したようにYCデータの生成処理が行われる。信号処理回路2において生成されたYCデータ⑤aは順次、第2のDRAM30に接続されている第2のバッファ回路B2に書き込まれていく（時刻t34～t37）。YCデータ5aは、時刻t37となると第2のバッファ回路B2から読み出され、時刻t38までの間に第2のDRAM30に書き込まれる。

【0039】

以下、同様にして、画像データ⑤aがバッファ回路A1, A2, A3, B1, B2, B3ならびに第1のDRAM20および第2のDRAM30に読み書きされ、圧縮データとしてメモリ・カード6に記録されることとなる。

【0040】

このように、特定の画像データ（この場合、画像データ⑤aなど）について信号処理、拡大／縮小処理、圧縮／伸張処理、メモリ・カード6への記録処理などが行われている時と並行して、その他の画像データについても信号処理、拡大／縮小処理、圧縮／伸張処理、記録処理などが行われる。

【0041】

たとえば、画像データ⑤aが第1のバッファ回路A1に書き込まれている時刻t11からt14と一部重複している時刻t13からt16の間において、第3のバッファ回路A3に書き込まれている画像データ②aが読み出され、圧縮／伸張回路4に与えられる。圧縮／伸張回路4においてデータ圧縮が行われ、時刻t15からt18の間において第2のDRAM30に接続されている第1のバッファ回路B1に書き込まれる。時刻t18からt19の間に第2のDRAM30に圧縮データD2aが記録される。

【0042】

圧縮データ②aは、時刻t34となると、第2のDRAM30から読み出され、第2のDRAM30に接続されている第3のバッファ回路B3に書き込まれる。時刻t35となると、第3のバッファ回路B3から読み出され、順次カード制御回路5に与えられる。時刻t38までの間に圧縮データ②aがメモリ・カード6に記録されることとなる。

【0043】

並行処理が行われているので、バス幅を狭くしても画像データをメモリ・カード6に記録するまでの時間が長くなってしまうことを未然に防止できる。

【図面の簡単な説明】

【図1】

デジタル・スチル・カメラの電気的構成の一部を示すブロック図である。

【図2】

画像データの流れに着目したデジタル・スチル・カメラの電気的構成の一部を示すブロック図である。

【図3】

画像データのタイム・チャートである。

【符号の説明】

20, 30 D R A M (データ・メモリ)

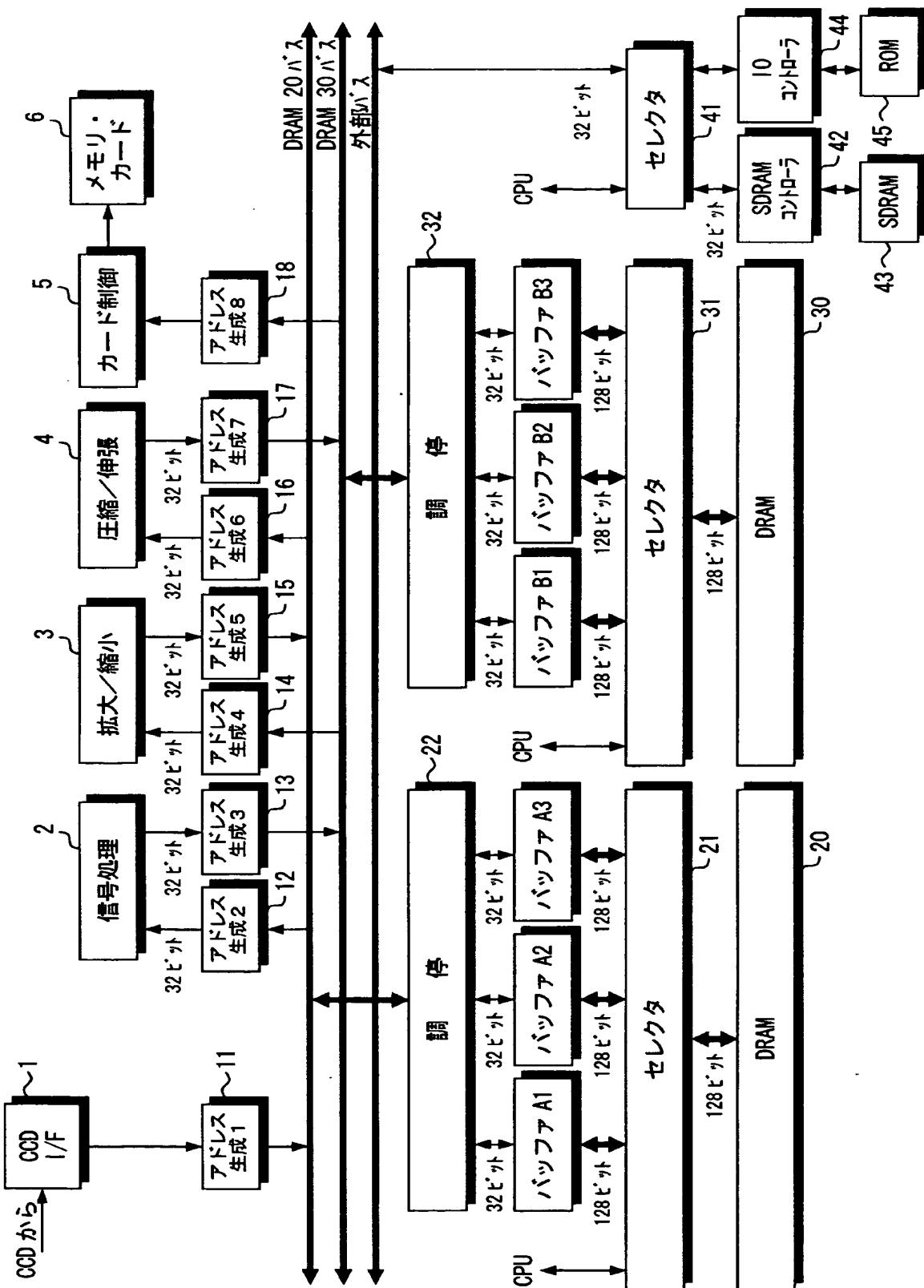
21, 22 セレクタ

A 1, A 2, A 3, B 1, B 2, B 3 バッファ回路

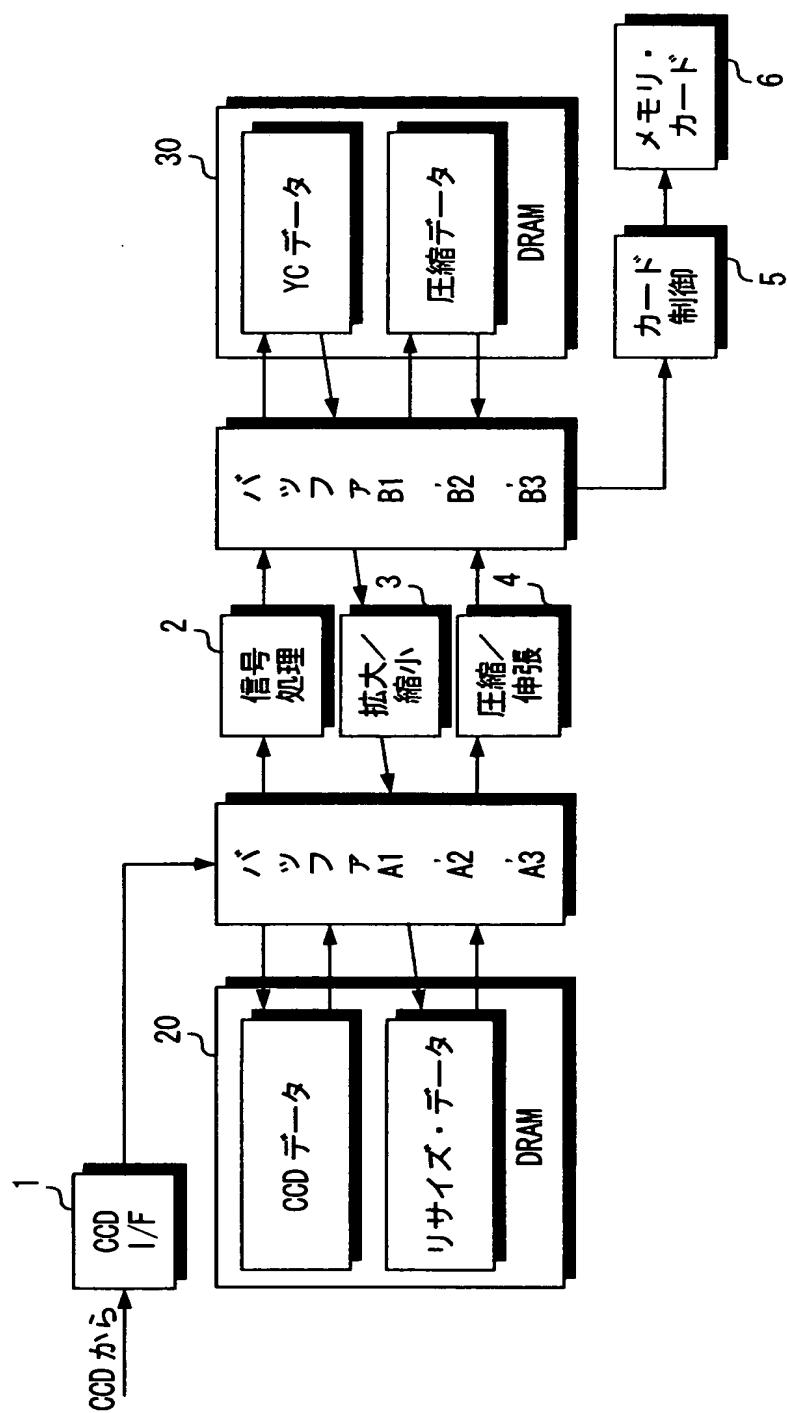
【書類名】

図面

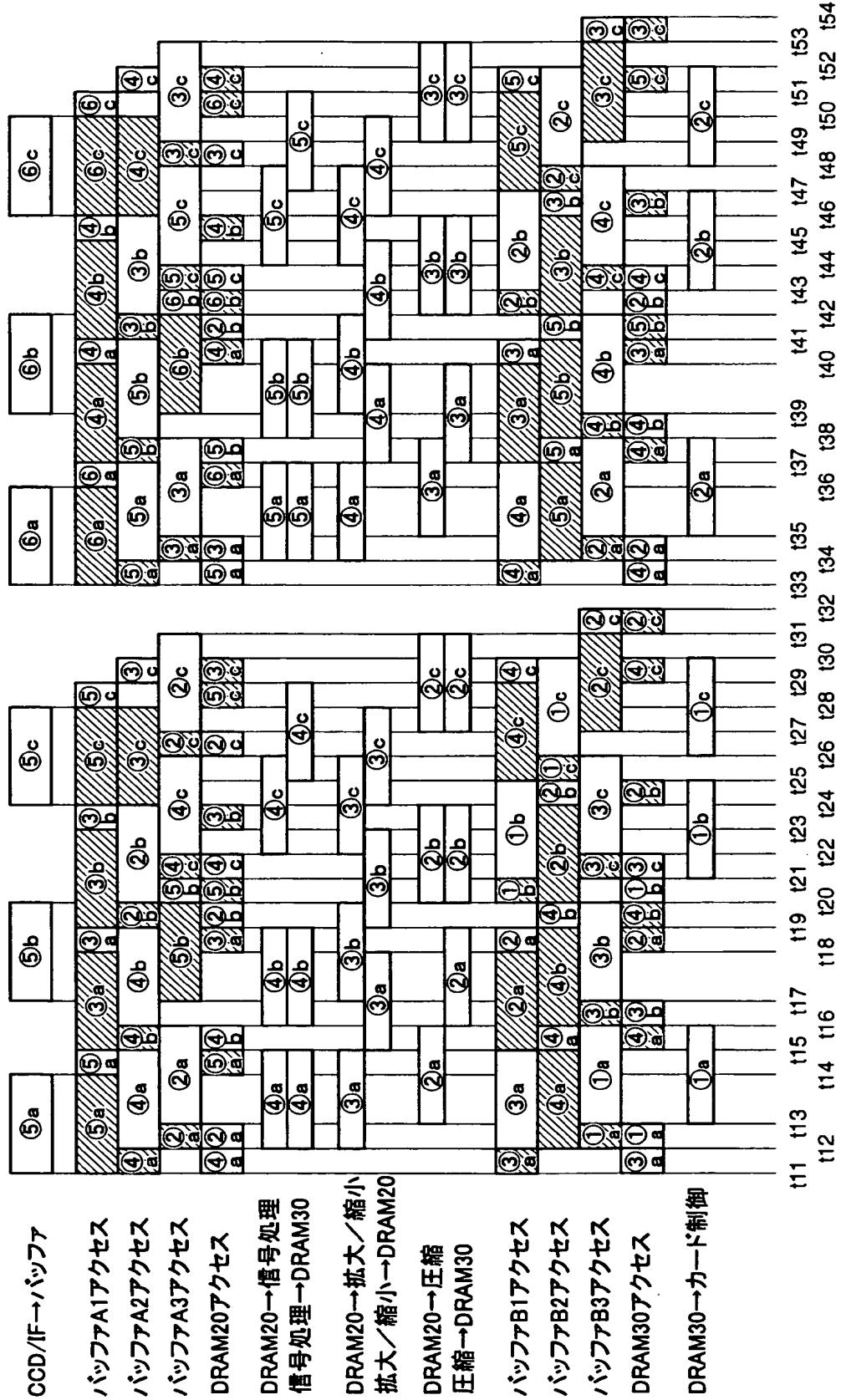
【図 1】



【図 2】



【図3】



【書類名】 要約書

【要約】

【目的】 バス幅が狭くなった場合でも、データの処理時間が長くならないようにする。

【構成】 D R A M20と第1～第3のバッファ回路A 1～A 3との間がセレクタ21を介して128ビットのビット幅をもつバスによって接続される。第1～第3のバッファ回路A 1～A 3と信号処理回路2等の回路とは、32ビットのビット幅をもつバスによって接続される。32ビットのビット幅をもつバスによって一部の回路を接続しているので、配線が比較的容易となる。また、各処理を並行して行うことにより画像データがメモリ・カード6に記録されるまでの時間が長くなってしまうことを未然に防止できる。

【選択図】 図1

特願2003-021381

出願人履歴情報

識別番号 [000005201]

1. 変更年月日 1990年 8月14日

[変更理由] 新規登録

住所 神奈川県南足柄市中沼210番地
氏名 富士写真フィルム株式会社